

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant: Mitsuasa TAKAHASHI  
Title: METHOD FOR MANUFACTURING THIN FILM  
TRANSISTOR  
Appl. No.: Unassigned  
Filing Date: 07/11/2003  
Examiner: Unassigned  
Art Unit: Unassigned

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
PO Box 1450  
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Japanese Patent Application No. 2002-211500  
filed 07/19/2002.

Respectfully submitted,

Date: July 11, 2003

FOLEY & LARDNER  
Customer Number: 22428



22428

PATENT TRADEMARK OFFICE

Telephone: (202) 672-5407  
Facsimile: (202) 672-5399

By Phillip J. Anticola *Reg. No. 38,819*  
for / David A. Blumenthal  
Attorney for Applicant  
Registration No. 26,257

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2002年 7月19日

出願番号  
Application Number:

特願2002-211500

[ST.10/C]:

[JP2002-211500]

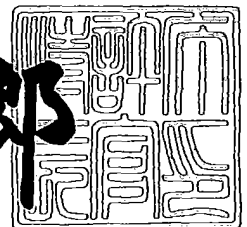
出願人  
Applicant(s):

日本電気株式会社

2003年 5月20日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3037406

【書類名】 特許願  
 【整理番号】 74610682  
 【あて先】 特許庁長官殿  
 【国際特許分類】 H01L 21/20

H01L 29/786

H01L 21/336

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号

日

本電気株式会社内

【氏名】 高橋 美朝

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタの製造方法

【特許請求の範囲】

【請求項 1】 非単結晶半導体薄膜全体にレーザを照射して前記非単結晶半導体薄膜を結晶化して結晶化半導体薄膜を形成し、前記結晶化半導体薄膜に両導電型のトランジスタを形成する薄膜トランジスタの製造方法であって、前記非単結晶半導体薄膜に対するレーザの照射が前記非単結晶半導体薄膜全体に対して不純物を導入した後に行われ、レーザ照射後の前記両導電型に対応する前記非単結晶半導体薄膜における疑フェルミレベルの比が 0.5～2.0 の間の値となることを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 前記非単結晶半導体薄膜全体に対する不純物の導入が、まず、前記両導電型のうち一方に対応する前記非単結晶半導体薄膜に対して行われ、続いて、前記両導電型のうち他方に対応する前記非単結晶半導体薄膜に対して行われる請求項 1 記載の薄膜トランジスタの製造方法。

【請求項 3】 前記非単結晶半導体薄膜全体に対する不純物の導入が、前記両導電型のうち一方に対応する不純物を前記非単結晶半導体薄膜全体に対して導入することにより行われる請求項 1 記載の薄膜トランジスタの製造方法。

【請求項 4】 前記非単結晶半導体薄膜全体に対する不純物の導入が、前記非単結晶半導体薄膜上に形成した保護膜を通して行われ、前記非単結晶半導体薄膜に対するレーザの照射が前記保護膜を除去した後の前記非単結晶半導体薄膜に対して行われる請求項 1、2 又は 3 記載の薄膜トランジスタの製造方法。

【請求項 5】 前記非単結晶半導体薄膜を結晶化して結晶化半導体薄膜を形成する工程と、前記結晶化半導体薄膜に両導電型のトランジスタを形成する工程との間に前記結晶化半導体薄膜に対してプラズマ処理及び熱処理を行う工程を有し、前記熱処理が 290～340℃の間の温度にて行われる請求項 1 乃至 4 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 6】 前記熱処理が不活性雰囲気中にて行われる請求項 5 に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、p型及びn型の薄膜トランジスタの製造方法に関し、特に、レーザ照射工程を有する薄膜トランジスタの製造方法に関する。

## 【0002】

## 【従来の技術】

従来アモルファスシリコン(a-Si)のELA(エキシマ・レーザ・アニール)による多結晶化ではノンドープのままELA多結晶化をするかNchあるいはPchの片方にドーピングしてからELA多結晶化をおこなっていた。

## 【0003】

## 【発明が解決しようとする課題】

しかしながら、この従来の方法では固相拡散で使われる不純物のドーピング(P、N制御できる不純物)による結晶成長速度の増殖が使えないため閾値ばらつきが大きくNchとPchでばらつきが大きく異なり、回路設計上非常に使いづらいトランジスタになっていた。

## 【0004】

本発明の目的は、p型及びn型トランジスタのしきい値のばらつきの小さい薄膜トランジスタの製造方法を提供することにある。

## 【0005】

## 【課題を解決するための手段】

本発明の薄膜トランジスタの製造方法は、非単結晶半導体薄膜全体にレーザを照射して前記非単結晶半導体薄膜を結晶化して結晶化半導体薄膜を形成し、前記結晶化半導体薄膜に両導電型のトランジスタを形成する薄膜トランジスタの製造方法であって、前記非単結晶半導体薄膜に対するレーザの照射が前記非単結晶半導体薄膜全体に対して不純物を導入した後に行われ、レーザ照射後の前記両導電型に対応する前記非単結晶半導体薄膜における疑フェルミレベルの比が0.5～2.0の間の値となることを特徴とする。

## 【0006】

上記本発明の薄膜トランジスタの製造方法において、前記非単結晶半導体薄膜

全体に対する不純物の導入が、まず、前記両導電型のうち一方に対応する前記非単結晶半導体薄膜に対して行われ、続いて、前記両導電型のうち他方に対応する前記非単結晶半導体薄膜に対して行われる、または、前記非単結晶半導体薄膜全体に対する不純物の導入が、前記両導電型のうち一方に対応する不純物を前記非単結晶半導体薄膜全体に対して導入することにより行われる、或いは、前記非単結晶半導体薄膜全体に対する不純物の導入が、前記非単結晶半導体薄膜上に形成した保護膜を通して行われ、前記非単結晶半導体薄膜に対するレーザの照射が前記保護膜を除去した後の前記非単結晶半導体薄膜に対して行われる。

## 【0007】

また上記本発明の薄膜トランジスタの製造方法において、前記非単結晶半導体薄膜を結晶化して結晶化半導体薄膜を形成する工程と、前記結晶化半導体薄膜に両導電型のトランジスタを形成する工程との間に前記結晶化半導体薄膜に対してプラズマ処理及び熱処理を行う工程を有し、前記熱処理が $290\sim 340^{\circ}\text{C}$ の間の温度にて行われ、前記熱処理が不活性雰囲気中にて行われる。

## 【0008】

## 【発明の実施の形態】

以下に、本発明の薄膜トランジスタの製造方法の第1の実施形態について、図面を参照して詳細に説明する。まず、本発明の第1の実施形態について説明する。図1は、液晶パネルを構成するTFT基板を横から眺めた図であり、図1(a)～(c)は、透明絶縁性基板上に薄膜トランジスタを製造する方法の一部を製造工程順に示したものである。また、図2は、薄膜トランジスタの製造に使用される線状ELAの2ステップ照射の様子を示す平面図である。

## 【0009】

まず、透明絶縁性基板1に絶縁膜2を介して設けられたアモルファスシリコン層3に絶縁膜4を介して例えばNchトランジスタの閾値制御用ボロンを全面にドーピングする(図1(a))。

## 【0010】

次に、フォトリソist5を塗布し露光・現像・イオン注入によりPchトランジスタの閾値を制御するためのリンを選択的にドーピングする(図1(b))。

次に、レジスト5及び絶縁膜4を除去した後、ELAによりアモルファスシリコン層3の多結晶化を行う(図1(c))。

#### 【0011】

このようにELA前にトランジスタ形成領域の全てのアモルファスシリコン層3に不純物を導入し、予めそのフェルミレベルをほぼ同等にしておく。この操作は、アモルファスシリコン層3中の局在準位密度を下げ、フェルミレベルを揃えるので、ELAによりアモルファスシリコン層3を多結晶化したときに薄膜トランジスタのNch、Pchの閾値ばらつきを同程度に小さくできる。

図1を用いて本発明の製造方法をさらに詳細に説明する。

#### 【0012】

ガラス基板1の上に $\text{SiO}_2$ からなる約300nmの下地酸化膜2を形成し、その上にLP-CVDあるいはPE-CVDにより形成された約60nmのアモルファスシリコン(a-Si)3を形成する。PE-CVDにより形成されたa-Si3では成膜後1%以下に脱水処理される。続いて、 $\text{SiO}_2$ からなる保護酸化膜4を約50nm形成した後、ボロンを全面に加速電圧50keV、ドーズ量 $7\text{E}12/\text{cm}^2$ の条件でドーピングする(図1(a))。

#### 【0013】

続いて、約2 $\mu\text{m}$ のレジスト5を塗布し、露光・現像することによりPchトランジスタ形成領域のみレジストを除去する。リンを加速電圧90keV、ドーズ量 $1.0\text{E}13/\text{cm}^2$ でドーピングし(図1(b))、エッチングにより保護酸化膜4を除去した後、150mm $\times$ 350 $\mu\text{m}$ の線状ELA(エネルギー密度：微結晶化強度比85%、オーバーラップ90%、図2参照)で多結晶化を行う(図1(c))。

#### 【0014】

この時、Nch形成領域の不純物濃度は約 $4\text{E}17/\text{cm}^3$ 、疑フェルミレベルは0.443eV、Pch形成領域7の不純物濃度は約 $1.7\text{E}17/\text{cm}^3$ 、疑フェルミレベルは0.421eVでその比は1.05となる。

#### 【0015】

このような条件ではダングリングボンドの荷電状態がNch形成領域、Pch



形成領域7でほぼ等しくなり固相成長で見られる不純物添加による成長速度の増加と同様の効果が見られ、局在準位が低減しN c h / P c hのそれぞれの閾値のばらつき ( $\sigma$ ) は  $0.18\text{ V} \rightarrow 0.11\text{ V} / 0.25\text{ V} \rightarrow 0.14\text{ V}$  とほぼ半減した。

## 【0016】

本実施形態では、ボロンのかわりにリンを全面ドーピングしてN c h形成領域にリンのかわりにボロンをドーピングしてE L A多結晶化を行っても同様の効果が得られるのは言うまでもない。また、酸化膜4はシリコン層の汚染防止のため形成しているが、汚染しないか汚染が問題にならない場合は形成しなくても良い。

## 【0017】

次に、本発明の薄膜トランジスタの製造方法の第2の実施形態について説明する。

## 【0018】

第1の実施形態では、N c h形成領域にボロン、P c h形成領域7にボロンとリンをドーピングし異なる導電タイプのa - S iをE L Aで多結晶化する例を示したが、一種類の不純物をドーピングしてE L A多結晶化を行っても同様の効果が得られる。

## 【0019】

図3を参照して第2の実施形態の製造方法について説明する。

## 【0020】

まず、透明絶縁性基板1に下地酸化膜2を介して設けられたアモルファスシリコン層3に保護酸化膜4を介して例えばN c hトランジスタの閾値制御用ボロンを加速電圧  $50\text{ keV}$ 、ドーズ量  $7\text{ E}12 / \text{cm}^2$  の条件で全面にドーピングする (図3 (a))。

## 【0021】

保護酸化膜4をエッチングにより除去した後、 $150\text{ mm} \times 350\text{ }\mu\text{m}$ の線状E L A (エネルギー密度: 微結晶化強度比85%、オーバーラップ90%、図2参照) で多結晶化を行う (図3 (b))。この時、N c h形成領域の不純物濃度

は約  $4 \times 10^{17} / \text{cm}^3$ 、疑フェルミレベルは  $0.443 \text{ eV}$ 、Pch 形成領域 7 の不純物濃度も全く同じで疑フェルミレベルの比は 1.0 である。このような条件ではダングリングボンドの荷電状態が Nch 形成領域、Pch 形成領域 7 で全く等しくなり固相成長で見られる不純物添加による成長速度の増加と同様の効果が見られ、局在準位が低減した。

## 【0022】

E LA 多結晶化の後、ゲート酸化膜 6 を  $50 \text{ nm}$  形成し続いて約  $2 \mu\text{m}$  のレジスト 5 を塗布し、露光・現像することにより Pch トランジスタ形成領域のみレジストを除去する。リンを加速電圧  $90 \text{ keV}$ 、ドーズ量  $1.0 \times 10^{13} / \text{cm}^2$  でドーピングし (図 3 (c))、Pch の閾値制御を行う。このようにして得られた Nch/Pch のそれぞれの閾値のばらつき ( $\sigma$ ) は  $0.18 \text{ V} \rightarrow 0.11 \text{ V} / 0.25 \text{ V} \rightarrow 0.11 \text{ V}$  とほぼ半減した。

## 【0023】

本実施形態においても、ボロンのかわりにリンを全面ドーピングして Nch 形成領域にリンのかわりにボロンをドーピングして E LA 多結晶化を行っても同様の効果が得られるのは言うまでもない。また、酸化膜 4 はシリコン層の汚染防止のため形成しているが汚染しないか汚染が問題にならない場合は形成しなくても良い。更に、リンのドーピング時に形成したゲート酸化膜 6 は他の酸化膜工程で代用もできるし場合によっては形成しなくてもかまわない。

## 【0024】

次に、本発明の薄膜トランジスタの製造方法の第 3 の実施形態について説明する。第 3 の実施形態は第 1、2 の実施形態の製造方法において、Nch/Pch のトランジスタを完成させるための最終プラズマ処理を完了させた後、 $290^\circ\text{C}$  以上  $340^\circ\text{C}$  以下の熱処理を加えるものである。熱処理は窒素あるいはアルゴンなどの不活性ガス雰囲気好ましく真空以外であれば水素ガスでも良い。

## 【0025】

第 3 の実施形態では E LA 多結晶化に加え固相拡散効果によりダングリングボンドの局在準位が抑えられ Nch/Pch のそれぞれの閾値のばらつき ( $\sigma$ ) は  $0.18 \text{ V} \rightarrow 0.09 \text{ V} / 0.25 \text{ V} \rightarrow 0.09 \text{ V}$  と大幅に減少した。

## 【 0 0 2 6 】

固相拡散効果は 2 9 0℃より低い温度では効果が小さく、3 5 0℃以上の温度  
或いは真空雰囲気では水素が乖離してかえって局在準位を増やしていまいばらつ  
きが増加する。

## 【 0 0 2 7 】

本効果はプラズマダメージで半減するため最終プラズマ処理後に行う必要があ  
る。

## 【 0 0 2 8 】

以上のように、本発明の薄膜トランジスタの製造方法は、透明絶縁性基板上の  
薄膜半導体層の全面を第一導電型にドーピングし、第一導電型のトランジスタを  
形成する部分に選択的に第二導電型の不純物をドーピングする薄膜トランジスタ  
の製造方法においてレーザによる結晶化の前に少なくとも薄膜半導体層全面に少  
なくとも一種類以上の不純物が導入され第一導電型トランジスタ及び第二導電型  
トランジスタ形成領域の疑フェルミレベルの比が 0. 5 ～ 2 の範囲に入っている  
事を特徴とした事にある。

## 【 0 0 2 9 】

## 【発明の効果】

以上のように、本発明の薄膜トランジスタの製造方法は、透明絶縁性基板上の  
薄膜半導体層の全面を第一導電型にドーピングし、第一導電型のトランジスタを  
形成する部分に選択的に第二導電型の不純物をドーピングする薄膜トランジスタ  
の製造方法においてレーザによる結晶化の前に少なくとも薄膜半導体層全面に少  
なくとも一種類以上の不純物が導入され第一導電型トランジスタ及び第二導電型  
トランジスタ形成領域の疑フェルミレベルの比を 0. 5 ～ 2 の範囲に収めること  
にある。これにより、ダングリングボンドの荷電状態が N c h 形成領域、P c h  
形成領域 7 でほぼ等しくなり固相成長で見られる不純物添加による成長速度の増  
加と同様の効果が見られ、局在準位が低減し N c h / P c h のそれぞれの閾値の  
ばらつきを大幅に減少させることができる。

## 【図面の簡単な説明】

## 【図 1】

本発明の第 1 の実施形態に係る薄膜トランジスタを製造する方法の一部を製造工程順に示したものである。

【図 2】

本発明の第 1 ～ 3 の実施形態に係る薄膜トランジスタの製造方法に使用される線状 E L A の 2 ステップ照射の様子を示す平面図である。

【図 3】

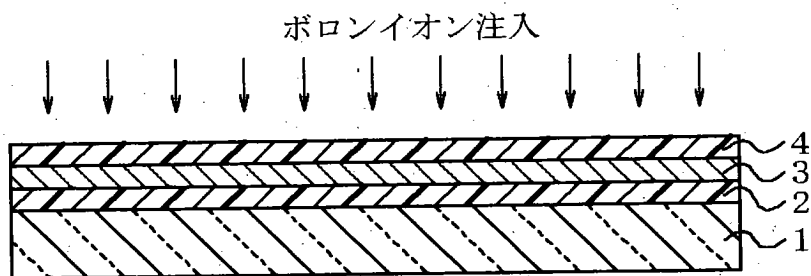
本発明の第 2 の実施形態に係る薄膜トランジスタを製造する方法の一部を製造工程順に示したものである。

【符号の説明】

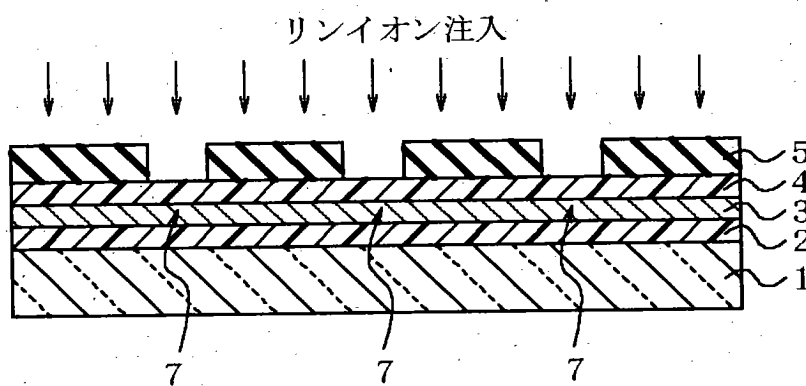
- 1      ガラス基板
- 2      下地酸化膜
- 3      a - S i (シリコン) 層
- 4      保護酸化膜
- 5      レジスト
- 6      ゲート酸化膜
- 7      P c h 形成領域

【書類名】 図面

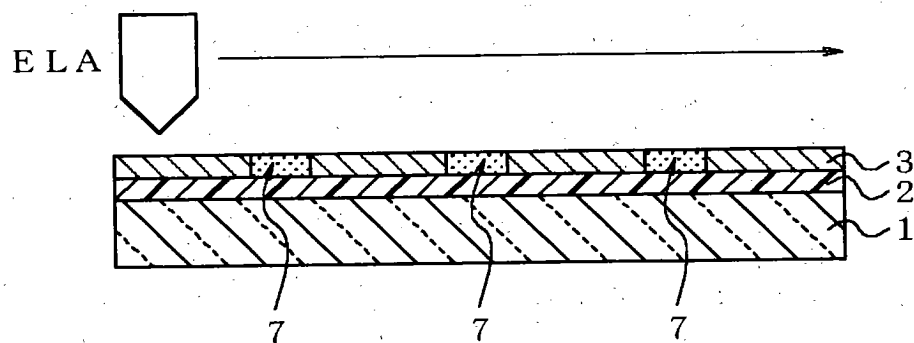
【図 1】



(a)

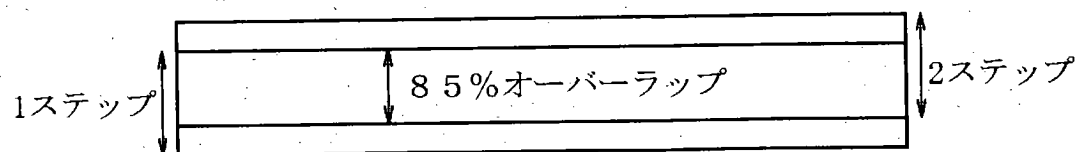


(b)

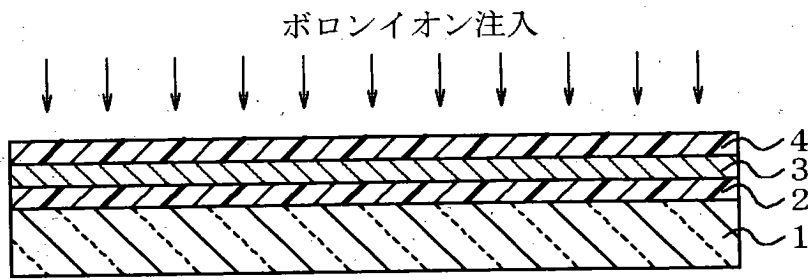


(c)

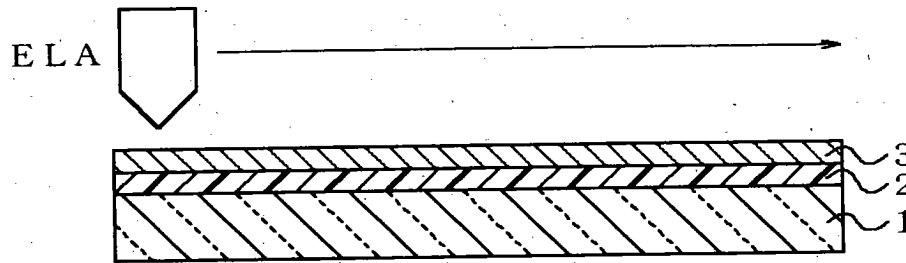
【図 2】



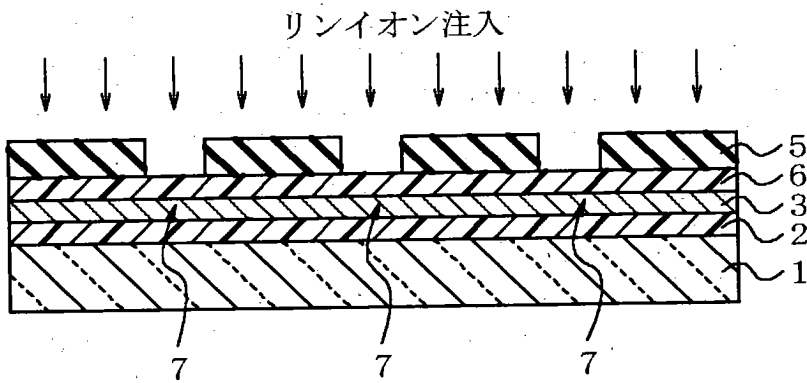
【図 3】



(a)



(b)



(c)

【書類名】 要約書

【要約】

【課題】 p 型及び n 型の薄膜トランジスタのしきい値のばらつきを低減させる。

【解決手段】 レーザによる結晶化の前に少なくとも薄膜半導体層全面に少なくとも一種類以上の不純物が導入され両導電型のトランジスタ形成領域の疑フェルミレベルの比を 0.5 ～ 2 の範囲に収める。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	特願2002-211500
受付番号	50201066222
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 7月22日

### <認定情報・付加情報>

【提出日】 平成14年 7月19日



出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社